

(19) 대한민국특허청 (KR)
(12) 공개특허공보 (A)

(51) Int. Cl.

(11) 공개번호 특2002-0047017

G02F 1/136

(43) 공개일자 2002년06월21일

(21) 출원번호	10-2001-0079476
(22) 출원일자	2001년12월14일
(30) 우선권주장	JP-P-2000-00382472 2000년12월15일 일본 (JP)
(71) 출원인	닛뽕덴끼 가부시끼가이샤
(72) 발명자	일본 도오교도 미나토꾸 시바 5쵸메 7방 1고 사까모토미찌아끼 일본도쿄도미나토꾸시바5쵸메7방1고닛뽕덴끼가부시끼가이샤나이 야마구찌유이찌 일본도쿄도미나토꾸시바5쵸메7방1고닛뽕덴끼가부시끼가이샤나이
(74) 대리인	특허법인코리아나

심사청구 : 있음

(54) 액정 디스플레이 장치

요약

매트릭스 형태로 배열된 복수의 화소들을 구비하는 액정 디스플레이 장치에 있어서, 각 화소는 화소 전극이 형성되는 화소 전극 형성 영역, 및 그 화소 전극에 접속되는 박막 트랜지스터가 형성되는 박막 트랜지스터 형성 영역을 포함한다. 그 박막 트랜지스터는, 채널로서 기능하는 반도체층, 화소 전극에 접속되도록 형성된 단자, 그 박막 트랜지스터를 피복하도록 형성된 패시베이션층 및 그 패시베이션층을 피복하는 유기 절연층을 포함한다. 그 반도체층은 채널로부터 그 단자를 지나서 화소 전극 형성 영역을 향하여 연장되고, 화소 전극 형성 영역에서 종단되어, 패시베이션층의 종단부와 정합 배치된 종단부를 형성한다. 그 유기 절연층은 연장되어, 반도체층 및 패시베이션층의 종단부를 피복한다.

대표도

도5

명세서

도면의 간단한 설명

도 1은 종래의 액정 디스플레이 장치용 능동 매트릭스 타입의 트랜지스터 기판의 평면도.

도 2는 도 1의 박막 트랜지스터 부분의 단면도.

도 3a 및 3b는 도 1의 단자부를 나타내는 것으로서, 도 3a는 게이트단자 전극부의 단면도이고, 도 3b는 데이터단자 전극부의 단면도.

도 4a - 4e는 도 1의 박막 트랜지스터 부분용 트랜지스터 기판의 제조 방법을 나타내는 공정도.

도 5는 본 발명의 제 1 실시형태에 따른 액정 디스플레이 장치의 디스플레이 패널의 개략적인 평면도.

도 6은 도 5의 TFT 어레이의 평면도.

도 7a - 7d는 도 6의 각 부의 단면 구조를 나타내는 것으로서, 도 7a는 선 A-A를 따라 취한 단면도, 도 7b는 선 B-B를 따라 취한 단면도, 도 7c는 선 C-C를 따라 취한 단면도이고, 도 7d는 선 D-D를 따라 취한 단면도.

도 8a 및 8b는 각각 도 5의 리드 아웃 (Lead-out) 배선 및 단자부의 단면 구조를 나타내는 것으로서, 도 8a는 리드 아웃 배선의 단면도이고, 도 8b는 단자부의 단면도.

도 9a - 9e는 도 5의 박막 트랜지스터부용 트랜지스터 기판의 제조 방법을 나타내는 공정도.

도 10은 본 발명의 제 2 실시형태에 따른 액정 디스플레이 장치의 TFT 어레이의 평면도.

도 11a 및 11b는 도 10의 각 부분의 단면 구조를 나타내는 것으로서, 도 11a는 선 A-A를 따라 취한 단면도이고, 도 11b는 선 B-B를 따라 취한 단면도.

도 12a - 12e는 박막 트랜지스터부용 도 10의 트랜지스터 기판의 제조 방법을 나타내는 공정도.

도 13은 본 발명의 제 3 실시형태에 따른 액정 디스플레이 장치의 TFT 어레이의 평면도.

도 14a 및 14b는 도 13의 각 부의 단면 구조를 나타내는 것으로서, 도 14a는 선 A-A를 따라 취한 단면도이고, 도 14b는 선 B-B를 따라 취한 단면도.

도 15a - 15e는 박막 트랜지스터부용 도 13의 트랜지스터 기판의 제조 방법을 나타내는 공정도.

도 16은 본 발명의 제 4 실시형태에 따른 액정 디스플레이 장치의 TFT 어레이의 평면도.

도 17a 및 17b는 도 16의 각 부의 단면 구조를 나타내는 것으로서, 도 17a는 선 A-A를 따라 취한 단면도이고, 도 17b는 선 B-B를 따라 취한 단면도.

※ 도면의 주요 부분에 대한 부호의 설명

10: 디스플레이 패널 10a: 디스플레이부

11: TFT 기판 12: 대향 기판

13: 게이트단자 14: 데이터단자

15: 리드 아웃 배선 15a: 게이트측 리드 아웃 배선

15b: 데이터측 리드 아웃 배선 16: a-Si TFT

17: 게이트 배선 18: 데이터 배선

19: 반도체층 20: 소스 전극

21, 37: 드레인 전극 22: 스토리지 배선

23, 35: 콘택 스루홀 24: 화소 전극

25, 31: 투명 절연성 기판 26: 게이트 전극

27: 게이트 절연막 28: 패시베이션막

29: 평탄화층 30: 액정층

32: 차광막 33: 공통 전극

34: 스토리지 전극 36: 칼라필터층

39: 요철층 40, 42: 기저주

41: 반사 전극 43: 오버코트층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래 기술

본 발명은 액정 디스플레이 장치에 관한 것이며, 더욱 상세하게는, 능동 매트릭스 타입의 액정 디스플레이 장치에 관한 것이다.

종래, 능동 매트릭스 타입의 액정 디스플레이 장치용 능동소자로서, 채널 에칭형 비정질실리콘 박막 트랜지스터 (a-Si TFT) 가 알려져 있다.

도 1은 종래의 액정 디스플레이 장치용 TFT 어레이의 평면도이다. 도 1은 단위 화소부를 나타낸다. 도 2는 도 1의 TFT부의 단면도이고, 도 3a 및 3b는 도 1의 단자부를 나타내는 것으로서, 도 3a는 게이트단자 전극부의 단면도이고, 도 3b는 데이터단자 전극부의 단면도이다.

도 1에 나타난 바와 같이, a-Si TFT (1) 는, XY 매트릭스의 교점의 매 화소에 배치되며, 게이트 전극 (2), 소스 전

극 (3) 및 상기 게이트 전극 (2) 상에서 대향 배치된 드레인 전극 (4) 을 구비한다. 게이트 전극 (2) 은 게이트 배선 (2a) 에 접속된다. 소스 전극 (3) 은 데이터 배선 (3a) 에 접속된다. 드레인 전극 (4) 은 콘택 스루홀 (Contact through-hole) (5) 을 경유하여 화소 전극 (6) 에 접속된다.

도 2에 나타난 바와 같이, 투명 절연 기판 (7a) 상에 형성된 게이트 전극 (2) 은 게이트 절연막 (7b) 으로 피복되며, 게이트 전극 (2) 과 중첩되는 위치인 상기 게이트 절연막 (7b) 상에 반도체층 (8) 이 더 형성된다. 상기 반도체층 (8) 의 중심부 상에서 이격된 소스 전극 (3) 및 드레인 전극 (4) 이 오믹 콘택층 (Ohmic contact layer) (9) 을 통해 상기 반도체층 (8) 에 접속된다.

상기 오믹 콘택층 (9) 은, 소스 전극 (3) 및 드레인 전극 (4) 사이에서 에칭에 의해 제거되고, 소스 전극 (3) 및 반도체층 (8) 사이에 형성되고, 드레인 전극 (4) 및 반도체층 (8) 사이에 형성된다. 또한, 소스 전극 (3), 드레인 전극 (4), 오믹 콘택층 (9) 및 반도체층 (8) 을 피복하도록, 패시베이션막 (Passivation film) (7c) 이 형성된다. 화소 전극 (6) 으로서 기능을 하는 투명 전도막은 패시베이션막 (7c) 을 통해 콘택 스루홀 (5) 을 경유하여 드레인 전극 (4) 에 접속된다.

각각, 스위칭 신호는, 게이트 배선 (2a) 을 통해 이 a-Si TFT (1) 의 게이트 전극 (2) 에 입력되고, 화상 신호 전압은 데이터 배선 (3a) 을 통해 이 a-Si TFT의 소스 전극 (3) 에 입력되어, 상기 화상 신호 전압은 화소 전극 (6) 에 기록된다.

도 3a에 나타난 바와 같이, 게이트단자 전극 (2b) 을 형성하기 위해, 게이트단자 전극부에서, 투명 절연 기판 (7a) 상의 게이트 전극 (2) 에 접속된 투명 전도층으로 이루어진 게이트 전극 패드 (6a) 가 게이트 절연막 (7b) 및 패시베이션막 (7c) 상에서 노출된다. 도 3b에 나타난 바와 같이, 데이터단자 전극부에서, 데이터단자 전극 (4a) 을 형성하기 위해, 게이트 절연막 (7b) 상의 데이터 배선에 접속된 투명 전도층으로 이루어진 드레인 전극 패드 (6b) 가 패시베이션막 (7c) 상에서 노출된다.

도 4a - 4e는 TFT부용 도 1의 TFT 어레이의 제조 방법을 나타내는 공정도이다. 도 4a에 나타난 바와 같이, 우선, 스퍼터링 방법에 의해 약 100 내지 400 nm의 두께로, 알루미늄 (Al), 몰리브덴 (Mo), 크롬 (Cr) 등으로 이루어진 전도층이 유리등으로 이루어진 투명 절연 기판 (7a) 상에 증착된다.

다음으로, 포토리소그래피 공정에 의해, 게이트 배선 (미도시), 게이트 전극 (2) 및 게이트단자 전극 (미도시) 을 형성하는 제 1 패터닝이 수행된다 (도 4a 참조). 이 게이트단자 전극 (도 3a 참조) 은 디스플레이를 위한 외부 신호 처리 기판에 접속된다.

다음으로, 도 4b에 나타난 바와 같이, 플라즈마 CVD에 의해, 각각 400nm, 300 nm, 50 nm의 두께로, 실리콘 질화막등으로 이루어진 게이트 절연막 (7b), 비정질실리콘으로 이루어진 반도체층 (8) 및 n⁺비정질실리콘으로 이루어진 오믹 콘택층 (9) 이 순차적으로 적층된다. 상기 적층 공정 후에, 반도체층 (8) 및 오믹 콘택층 (9) 을 일괄적으로 패터닝하는 제 2 포토리소그래피 공정이 수행된다.

다음으로, 도 4c에 나타난 바와 같이, 게이트 절연막 (7b) 및 오믹 콘택층 (9) 을 피복하도록, 스퍼터링에 의해, Mo, Cr 등으로 이루어진 전도층이 약 100 내지 200 nm 두께로 증착된다. 상기 증착 공정 후에, 소스 전극 (3), 드레인 전극 (4) 및 데이터 배선 (3a) 을 형성하는 제 3 포토리소그래피 공정이 수행된다.

이 제 3 포토리소그래피 공정에서, a-Si TFT (1) 의 채널부로서 기능하는, 소스 전극 (3) 및 드레인 전극 (4) 의 하부 이외의 불필요한 오믹 콘택층 (9) 이 제거된다 (도 4c 참조).

다음으로, 도 4d에 나타난 바와 같이, a-Si TFT (1) 의 백채널 (Back Channel), 소스 전극 (3), 데이터 배선 (3a), 드레인 전극 (4) 및 데이터단자 전극 (미도시) 을 피복하도록, 플라즈마 CVD에 의해 약 100 내지 200 nm의 두께로, 실리콘 질화막과 같은 무기 절연층으로 이루어진 패시베이션막 (7c) 이 형성된다.

상기 성막 후에, 드레인 전극 (4) 및 화소 전극 (6) 의 접속을 위해, 콘택 스루홀 (5) 을 형성하고, 데이터단자 전극 부 (미도시) 상의 불필요한 패시베이션막 (7c) 및 게이트단자 전극 상의 불필요한 게이트 절연막 (7b) 및 패시베이션막 (7c) 을 제거하는 제 4 포토리소그래피 공정이 수행된다.

또한, 도 4e에 나타난 바와 같이, 스퍼터링 방법에 의해, 화소 전극 (6) 으로서 기능하는 투명 전도막이 형성되고, 제 5 포토리소그래피 공정이 수행된다.

이와 같은 방법으로, 상기 5 단계의 포토리소그래피 공정에 의해 TFT 어레이가 제조된다 (도 4a 내지 4e 참조). 이러한 TFT 어레이 기판이 칼라필터층 및 공통 전극을 제공하는 다른 기판과 결합되어 있는 양 기판 사이에 액정을 충전함으로써, 액정 디스플레이 장치가 형성된다.

최근에, 이러한 종래의 TFT 어레이에 대하여, TFT 어레이 상에 유기 절연층을 배치함으로써, 액정 디스플레이 장치의 성능을 향상시키기 위한 기술 개발이 활성화되었다.

예컨대, 능동 매트릭스 기판 상에 유기 절연층으로 이루어진 평탄화층을 배치함으로써, 액정의 디스플레이 성능을 향상시키기 위한, 액정의 디스클리네이션 (Disclination) 제어 기술 (유기 층간분리 기술) (Organic interlayer separation technique) 이 특개평 JP-A-6-242433호에 개시된다.

또한, 능동 매트릭스 기판 상에 칼라필터층을 배치함으로써, 개구율 (Aperture ratio) 을 향상시키는 기술 (TFT 상의 칼라필터 기술) (Color filter on TFT technique) 이 특개평 JP-A-8-122824호에 개시된다.

또한, 능동 매트릭스 기판 상에 유기 절연층에 의해 요철을 형성하고, 그 위에 반사 전극을 배치함으로써, 작은 반사율을 가지는 우수한 반사형 액정 디스플레이 장치의 제조 방법 (요철 반사판형성 기술) (Unevenness reflection plate formation technique) 이 특개평 JP-A-5-232465호에 개시된다.

이하, 일 실시예로서, 유기 층간분리 기술에 의한 TFT 어레이의 제조 방법을 설명한다. 또한, 능동소자로서 다결정 실리콘 TFT를 사용하는 기술이 특개평 JP-A-6-242433호에 개시되지만, 여기서는 종래 기술과의 일관성을 위해, 능동 소자로서 채널 에칭형 a-Si TFT를 사용하는 기술을 설명할 것이다.

이러한 TFT 어레이의 경우, 후막으로 이루어진 평탄화층을 패시베이션막 (7c) 상에 배치되고, 화소 전극 (6) 으로서 기능을 하는 투명 전도막이 상기 평탄화층 상에 더 배치된다. 이러한 투명 전도막은, 평탄화층 및 패시베이션막 (7c) 을 통해, 콘택 스루홀 (5) 을 경유하여 드레인 전극 (4) 에 접속된다.

다음으로, 유기 층간분리 기술에 의한 TFT 어레이의 제조 방법을 설명한다. 패시베이션막의 형성 공정인 제 4 패터닝 (도 4d) 에 대한 설명은, 상기 종래 기술의 설명과 동일하므로, 생략한다.

제 4 패터닝 후에, 평탄화층이 형성된다. 더욱 상세하게는, 아크릴 수지등으로 이루어진 투명 감광성 수지가 스핀 코트 방법으로 도포되고, 포토리소그래피 공정에 의해 평탄화층 내에 콘택 스루홀 (5) 을 개방하는 제 5 패터닝이 수행된다.

마지막으로, 도 4e에 나타난 바와 같이, 스퍼터링 방법에 의해, 화소 전극 (6) 으로서 기능하는 투명 전도막이 형성되고, 제 6 포토리소그래피 공정이 수행된다.

발명이 이루고자하는 기술적 과제

그러나, 유기 층간분리 기술에 의한 TFT 어레이 제조 기술에서는, 패터닝 공정은 평탄화층을 형성하는 1 공정 만큼 패터닝 공정이 증가한다. 그 결과, 제조 공정이 복잡해져, 비용 증가를 초래하며, 생산성의 감소를 피할 수 없다.

이러한 문제는, TFT 상의 칼라필터 기술 또는 요철 반사판형성 기술의 경우에도 동일하여, 각각, 칼라필터층 또는 오버코트층을 형성하는 1 공정 및 요철층을 형성하는 1 공정에 의해, 제조 공정이 복잡해지고, 생산성은 감소한다.

본 발명의 목적은, 트랜지스터 기판 상에 유기 절연층을 배치하여 성능을 향상시키기 위한 액정 디스플레이 장치를, 보다 간소화된 공정 단계 및 고생산성으로 제조할 수 있는 액정 디스플레이 장치용 TFT 어레이 및 그 제조 방법을 제공하는 것이다.

발명의 구성 및 작용

상기 목적을 달성하기 위해서, 액정 디스플레이 장치는 매트릭스 형태로 배열된 복수의 화소들을 구비하며, 각 화소는 화소 전극이 형성되는 화소 전극 형성 영역, 및 그 화소 전극에 접속되는 박막 트랜지스터가 형성되는 박막 트랜지스터 형성 영역을 포함한다. 상기 박막 트랜지스터는, 채널로서 기능하는 반도체층, 화소 전극에 접속되도록 형성된 단자, 그 박막 트랜지스터를 피복하도록 형성된 패시베이션층 및 그 패시베이션층을 피복하는 유기 절연층을 포함한다. 상기 반도체층은, 채널로부터 단자를 지나서 화소 전극 형성 영역을 향하여 연장되고, 화소 전극 형성 영역에서 중단되어, 패시베이션층의 중단부와 정합 배치된 중단부를 형성한다. 그리고, 유기층은 상기 반도체층의 중단부 및 패시베이션층을 피복하도록 확장된다. 그리고, 화소 전극은, 유기 절연층 및 패시베이션층 내에 선택적으로 형성된 콘택홀을 통해 박막 트랜지스터의 단자에 접속된다.

그 결과, 성능을 향상시키기 위하여, 트랜지스터 기판 상에 유기 절연층을 배치하는 액정 디스플레이 장치를, 보다 간소화된 공정 단계에 의해 제조할 수 있으며 생산성을 개선할 수 있다.

이하, 예시적인 실시형태를 참조하여 본 발명을 설명하기로 한다. 당업자는, 본 발명을 이용하여 많은 선택적인 실시형태를 얻을 수 있으며 본 발명이 예시적인 목적으로 개시된 본 실시형태에 제한되지 않음을, 인식할 것이다.

이하, 도면을 참조하여, 본 발명의 실시형태를 설명한다.

(제 1 실시형태)

도 5는 본 발명의 제 1 실시형태에 따른 액정 디스플레이 장치의 디스플레이 패널의 대략적인 평면도이다. 이 액정 디스플레이 장치는 능동소자로서 a-Si TFT가 XY 매트릭스의 각 교점 상에 배치되는 능동 매트릭스 타입의 액정 디스플레이 장치이다.

도 5에서 나타낸 바와 같이, 디스플레이 패널 (10) 은, TFT 기판 (11) 과 투명 대향 기판 (12) 사이의 공간을 액정으로 충전함으로써 형성된다. a-Si TFT, 화소 전극, 평탄화층 및 각종 배선 등은 TFT 기판 (11) 의 표면 상에 배치된다. 공통 전극, 칼라필터층 및 차광막 등은 대향 기판 (12) 의 표면 상에 배치된다.

게이트단자 전극 (13) 또는 데이터단자 전극 (14) 은 TFT 기판 (11) 의 주변부 상에 배치되고, 각 단자 (13 및 14) 는, 리드 아웃 배선 (15) 을 통해, 디스플레이용 외부 신호 처리 회로에 각각 접속된다.

다음으로, TFT 기판 (11) 의 화소 전극과 대향 기판 (12) 의 공통 전극 사이에 데이터 신호 전압을 입력함으로써, 양 전극 사이 액정층의 전기 광학적 상태를 제어하여, 디스플레이 패널 (10) 의 광투과 상태를 변화시켜, 소정의 이미지가 디스플레이 영역 (10a) 상에 표시된다.

도 6은 도 5의 TFT 기판의 평면도이다. 도 6은 단위 화소부를 나타낸다. 도 6에서 나타낸 바와 같이, 게이트 배선 (17) 및 데이터 배선 (18) 의 각 교점 상에 a-Si TFT (16) 가 배치된다. a-Si TFT (16) 는 게이트 전극 (미도시), 드레인 전극 (21), 및 반도체층 (19) 상에서 게이트 전극 상으로 대향 배치된 소스 전극 (20) 을 구비

한다. 도 6에 나타난 바와 같이, 이 액정 디스플레이 장치는, 매트릭스 형태로 배열된 복수의 화소들을 구비하며, 각 화소는 화소 전극이 형성되는 화소 전극 형성 영역을 포함한다. 그리고, 그 액정 디스플레이 장치는, 화소 전극에 접속되는 박막 트랜지스터가 형성되는 박막 트랜지스터 형성 영역을 포함한다. 그 박막 트랜지스터는 채널로서 기능하는 반도체층, 화소 전극에 접속되도록 형성된 단자를 구비한다. 드레인 전극의 거의 1/2이 게이트 배선 (17) 과 평행하게 배치된 스토리지 배선 (22) 과 중첩되도록, 드레인 전극 (21) 은 L자 형태로 형성된다. 각각, 드레인 전극 (21) 은 콘택 스루홀 (23) 을 경유하여 화소 전극 (24) 에 접속되고, 게이트 전극은 게이트 배선 (17) 에 접속되며, 소스 전극 (20) 은 데이터 배선 (18) 에 접속된다.

각각, 게이트 배선 (17) 을 통해, 스위칭 신호가 a-Si TFT (16) 의 게이트 전극에 입력되고, 데이터 배선 (18) 을 통해, 화상 신호 전압이 a-Si TFT (16) 의 소스 전극 (20) 에 입력되어 화상 신호 전압은 화소 전극 (24) 에 기록된다.

도 7은 도 6의 각 부의 단면 구조를 나타내는 것으로서, 도 7a는 선 A-A를 따라 취한 단면도, 도 7b는 선 B-B를 따라 취한 단면도, 도 7c는 선 C-C를 따라 취한 단면도, 도 7d는 선 D-D를 따라 취한 단면도이다.

도 7a에 나타난 바와 같이, a-Si TFT (16) 의 게이트 전극 (26) 이 투명 절연 기판 (25) 상에 형성되고, 이 게이트 전극 (26) 을 피복하도록 게이트 절연막 (27) 이 형성되며, 그 게이트 절연막 (27) 상에 반도체층 (19) 은 더 형성된다.

반도체층 (19) 의 중심부 상에 걸쳐 배치된 a-Si TFT (16) 의 백채널에 의해 이격된 소스 전극 (20) 및 드레인 전극 (21) 이 반도체층 (19) 상에 형성된다. 오믹 콘택층 (미도시) 을 통해, 소스 전극 (20) 및 드레인 전극 (21) 이 반도체층 (19) 에 접속된다. 오믹 콘택층은 소스 전극 (20) 과 반도체층 (19) 사이 및 드레인 전극 (21) 과 반도체층 (19) 사이에 형성된다.

소스 전극 (20), 드레인 전극 (21) 및 반도체층 (19) 은 패시베이션막 (28) 으로 피복되고, 두꺼운 유기 절연층 (29) 이 이 패시베이션막 (28) 상에 형성된다. 드레인 전극 (21) 상에 배치된 화소 전극 (24) 으로서 기능하는 투명 전도막이 유기 절연층 (29) 상에 형성된다. 도 7a에 나타난 바와 같이, 패시베이션층을 형성시켜 박막 트랜지스터를 피복하고, 유기 절연층을 형성시켜 패시베이션층을 피복한다.

또한, 화소 전극 (24) 이 TFT 기판 (11) 상에 형성된다. 차광막 (32) 및 공통 전극 (33) 이 대향 기판 (12) 상에 형성된다. 액정층 (30) 은 TFT 기판 (11) 과 대향 기판 (12) 사이에 충전된다.

도 7b에 나타난 바와 같이, a-Si TFT (16) 의 반도체층 (19), 드레인 전극 (21) 및 패시베이션막 (28) 은 스토리지 캐패시터 (Storage capacity) 전극 (34) 상으로 연장된다. 그 스토리지 캐패시터 전극 (34) 은 투명 절연 기판 (25) 상에 형성되고, 게이트 절연막 (27) 으로 피복된다.

콘택 스루홀 (23, 35) 은 패시베이션막 (28) 및 유기 절연층 (29) 을 통해 개방된다. 그 콘택 스루홀 (23, 35) 을 경유하여, 화소 전극 (24) 및 드레인 전극 (21) 이 접속된다.

또한, 대향 기판 (12) 의 차광막 (32) 은 대향 기판 (12) 의 칼라필터층 (36) 과 인접한다. 칼라필터층 (36) 및 공통 전극 (33) 은 투명 절연 기판 (31) 하에서 적층된다.

즉, 소스 전극 (20) 및 드레인 전극 (21) 을 내포하도록, 반도체층 (19) 및 패시베이션막 (28) 은 소스 전극 (20) 및 드레인 전극 (21) 의 외부에 배치된다. 또한, 패시베이션막 (28), 반도체층 (19) 및 게이트 절연막 (27) 의 적층 구조를 상향으로 테이퍼 형상이 되도록 형성한다.

각각, 스위칭 신호는 게이트 배선 (17) 을 통해 a-Si TFT (16) 의 게이트 전극 (26) 에 입력되고, 화상 신호 전압은 데이터 배선 (18) 을 통해 a-Si TFT (16) 의 소스 전극 (20) 에 입력되며, 화상 신호 전압이 화소 전극 (24) 에 기록된다.

도 7c에 나타난 바와 같이, 데이터 배선 (18) 은, 투명 절연 기판 (25) 상에 게이트 절연막 (27), 반도체층 (19), 데이터 배선 (18) 및 패시베이션막 (28) 을 순차대로 적층하여 형성되며, 유기 절연층 (29) 으로 피복된다. 도 7d에 나타난 바와 같이, 게이트 배선 (17) 은 투명 절연 기판 (25) 상에 형성되고, 유기 절연층 (29) 으로 피복된다.

도 8a 및 8b는 도 5의 리드 아웃 배선 및 단자부의 단면 구조를 나타내는 것으로서, 도 8a는 리드 아웃 배선의 단면도이고, 도 8b는 단자부의 단면도이다. 도 8a에 나타난 바와 같이, 리드 아웃 배선 (15a) 은 게이트 측의 리드 아웃 배선 (15a), 게이트 절연막 (27), 반도체층 (19) 및 패시베이션막 (28) 을 투명 절연 기판 (25) 상에 순차대로 적층하여 형성된다. 리드 아웃 배선 (15b) 은 게이트 절연막 (27), 반도체층 (19), 데이터 측의 리드 아웃 배선 (15b) 및 패시베이션막 (28) 을 투명 절연 기판 (25) 상에 순차대로 적층하여 형성된다.

도 8b에 나타난 바와 같이, 단자부에서, 게이트단자 전극 (13) 은 투명 절연 기판 (25) 상에 형성된다. 데이터단자 전극 (14) 은 게이트 절연막 (27), 반도체층 (19), 데이터단자 전극 (14) 및 데이터단자 전극 (14) 부를 노출시키는 패시베이션막 (28) 을 투명 절연 기판 (25) 상에 순차대로 적층하여 형성된다.

도 9a - 9e는 박막 트랜지스터부용인 도 5의 트랜지스터 기판의 제조 방법을 나타내는 공정도이다. 도 9a에 나타난 바와 같이, 우선, 스퍼터링 장치에 의해 약 100 내지 400 nm 두께를 가지는, 예컨대, 알루미늄 (Al), 몰리브덴 (Mo), 크롬 (Cr) 등으로 이루어진 전도층이 유리등으로 이루어진 투명 절연 기판 (25) 상에 증착된다.

다음으로, 포토리소그래피 공정에 의해 게이트 배선 (미도시), 게이트 전극 (26) 및 게이트단자 전극 (13) 을 형성하는 제 1 패터닝이 수행된다.

다음으로, 도 9b에 나타난 바와 같이, 실리콘 질화막등으로 이루어진 게이트 절연막 (27), 비정질실리콘으로 이루어진 반도체층 (19), 및 n⁺-비정질실리콘으로 이루어진 오믹 콘택층 (미도시) 을 플라즈마 CVD에 의해 각각 약 400 nm, 약 300 nm, 약 50 nm 정도의 두께로 순차대로 적층한다. 적층 후에, 이들을 피복하도록, 스퍼터링 방법에 의해, 약 100 내지 200 nm의 두께를 가지는 Mo, Cr 등으로 이루어진 전도층이 더 증착된다.

상기 증착 후에, 포토리소그래피 공정에 의해 소스 전극 (20), 데이터 배선 (18), 드레인 전극 (21) 및 데이터단자 전극부 (도 8b 참조) 를 형성하는 제 2 패터닝을 수행한다.

이 제 2 패터닝과 동시에, 소스 전극 (20) 및 드레인 전극 (21) 의 저부 이외의 불필요한 오믹 콘택층이 제거된다.

다음으로, a-Si TFT (16) 의 백채널, 소스 전극 (20), 소오스 배선 (데이터 배선) (18), 드레인 전극 (21) 및 데이터단자 전극 (14) 을 피복하도록, 플라즈마 CVD에 의해 약 100 내지 200 nm의 두께를 가지는, 실리콘 질화막과 같은 유기 절연층으로 이루어진 패시베이션막 (28) 이 형성된다.

상기 성막 후에, 드레인 전극 (21) 및 화소 전극 (24) 을 접속하기 위한 콘택 스톱홀 (23) 이 형성되고, 데이터단자 전극부 (14) 상의 불필요한 패시베이션막 (28) 및 게이트단자 전극 (13) 상의 불필요한 게이트 절연막 (27) 및 패시베이션막 (28) 이 제거된다.

그 후, 레지스트를 제거하지 않고 동일 마스크를 사용하여, 반도체층 (19) 의 표면이 제거된다.

도 9c에 나타난 바와 같이, 동일 공정에서 패시베이션막 (28) 의 패터닝 및 반도체층 (19) 의 패터닝을 수행하는 제 3 패터닝이 수행된다.

여기서, 패시베이션막 (28) 및 반도체층 (19) 의 에칭에서, 예컨대, 불산 완충액 (Buffered hydrofluoric acid, BHF) 을 사용하여, 습식 에칭에 의해, 패시베이션막 (28) 을 약한 과잉 식각하고, 레지스트층으로부터 후퇴된 후, 반응성 이온 에칭에 의해 반도체층 (19) 및 게이트 절연막층 (27) 이 에칭된다. 그 결과, 우수한 테이퍼 형상을 얻을 수 있다.

또한, 건식 에칭을 수행하는 에칭 조건을 조절함으로써, 패시베이션막 (28), 반도체층 (19) 및 게이트 절연막 (27) 은 일괄적으로 에칭될 수 있다.

다음으로, 도 9d에 나타난 바와 같이, 오버코트층 (Overcoat layer) 이 형성된다. 더욱 상세하게는, 스핀 코트 방법으로 아크릴 수지등으로 이루어진 투명 감광성 수지를 도포한 후에, 포토리소그래피 공정에 의해 유기 절연층 (29) 내에 콘택 스루홀 (35) 을 개방시키는 제 4 패터닝이 수행된다.

마지막으로, 도 9e에 나타난 바와 같이, 스퍼터링 장치에 의해 유기 절연층 (29) 상에 화소 전극 (24) 으로서 기능하는 투명 전도막이 형성되고, 제 5 패터닝이 수행된다.

이 경우, 제 1 패터닝 공정에서, 게이트 측의 리드 아웃 배선 (15a) 및 게이트단자 전극 (13) 이 형성되며, 제 2 패터닝 공정에서는, 게이트 측의 리드 아웃 배선 (15a) 을 피복하는 게이트 절연막 (27), 반도체층 (19), 데이터 측의 리드 아웃 배선 (15b) 및 데이터단자 전극 (14) 이 형성되며, 제 3 패터닝 공정에서는, 반도체층 (19), 데이터 측의 리드 아웃 배선 (15b) 및 일부 노출된 데이터단자 전극 (14) 을 피복하는 패시베이션막 (28) 이 형성된다.

상기 설명한 바와 같이, 제 1 실시형태에서, 패시베이션막 (28) 의 형성 및 반도체층 (19) 의 형성을 동일 패터닝 공정에서 수행함으로써, 패터닝 공정들은, 종래의 유기 층간분리형 능동 매트릭스 기판의 제조 방법에 비하여, 1 공정 만큼 감소될 수 있다. 반도체는, 채널로부터 단자를 지나서 화소 전극 형성 영역을 향하여 연장되고, 화소 전극 형성 영역에서 중단되어, 패시베이션층의 중단부와 정합 배치된 중단부를 형성한다. 그리고, 반도체층 및 패시베이션층의 중단부를 피복하기 위해 유기층이 확장된다. 그리고, 상기 유기 절연층 및 상기 패시베이션층 내에 선택적으로 형성된 콘택 스루홀을 통하여, 화소 전극이 박막 트랜지스터의 단자에 접속된다.

그 결과, 제조 공정을 간소화할 수 있으며, 저비용, 고생산성 및 우수한 디스플레이 성능을 가지는 능동 매트릭스 타입의 액정 디스플레이 장치를 제조할 수 있다.

또한, 상기한 바와 같이, 일괄 건식 에칭에 의해 유기 절연층 (29) 을 형성함으로써, 데이터 배선 (18) 또는 a-Si TFT (16) 의 단차부를 피복하는 것과 동시에, 게이트 배선 (17) 이 직접적으로 보호될 수 있다. 또한, 유기 절연층 (29) 을 배치함으로써, 반도체층 (19) 의 측부가 보호될 수 있으므로, 측상 누설 (Side leak) 등의 문제가 없다.

또한, 심지어, 패시베이션막 (28), 반도체층 (19) 및 게이트 절연막 (27) 이 일괄 건식 에칭에 의해 우수한 에칭 형상을 갖지 않는 경우에도, 유기 절연층 (29) 은 그들을 평탄화하여, 에칭 형상이 열화되어도 제조상 결함이 거의 발생하지 않는다.

이 제 1 실시형태에서, 감광성 아크릴막이 오버코트막으로서 사용되지만, 비감광성 아크릴을 사용해도, 에칭에 의한 패터닝을 수행할 수 있다.

또한, 반도체층 (19) 의 측상 누설을 억제하기 위해서, 감광성 또는 비감광성 폴리실라잔 (Polysilazane), 시록산 (Siloxane), 벤조사이클로부텐 (BCB) 과 같은 Si 계열의 유기 절연층이 사용될 수 있다.

(제 2 실시형태)

도 10은 본 발명의 제 2 실시형태에 따른 액정 디스플레이 장치의 TFT 기판의 평면도이다. 도 10은 단위 화소부를 나타낸다. 이 액정 디스플레이 장치는 반사형 능동 매트릭스 액정 디스플레이 장치이다.

도 10에 나타난 바와 같이, 능동소자로서 a-Si TFT (16) 는 화소 전극 형성 영역 내에 거의 사각형의 형태로 형성된 드레인 전극 (37) 을 구비한다. 이 드레인 전극 (37) 은 콘택 스루홀 (23, 35) 을 경유하여, 이하 설명하는 반사 전극 (41) 에 접속된다. 또한, 반도체층 (19) 은 드레인 전극 (37) 에 대응하여 형성된다. 다른 구성 및 작용은 도 6에서 나타난 TFT 기판과 유사하다.

도 11a 및 11b는 도 10의 각 부의 단면 구조를 나타내는 것으로서, 도 11a는 선 A-A를 따라 취한 단면도이고, 도 11b는 선 B-B를 따라 취한 단면도이다. 도 11a에 나타낸 바와 같이, 투명 절연 기판 (25) 상에, a-Si TFT (16)의 게이트 전극 (26)이 형성되고, 이 게이트 전극 (26)을 피복하도록 게이트 절연막 (27)이 형성되며, 게이트 절연막 (27) 상에 반도체층 (19)이 더 형성된다.

반도체층 (19)의 중심부의 상부에 배치된 a-Si TFT (16)의 백채널에 의해 이격된, 소스 전극 (20) 및 드레인 전극 (37)이 반도체층 (19) 상에 형성된다 (도 11a 참조). 소스 전극 (20) 및 드레인 전극 (37)이 오믹 콘택층 (미도시)을 통하여 반도체층 (19)에 접속된다. 소스 전극 (20)과 반도체층 (19) 사이 및 드레인 전극 (37)과 반도체층 (19) 사이에 오믹 콘택층이 형성된다.

이들 소스 전극 (20), 드레인 전극 (37) 및 반도체층 (19)은 패시베이션막 (28)으로 피복되며, 이 패시베이션막 (28)을 피복하도록, 후막으로 이루어진 요철층 (39)이 형성된다. 이 요철층 (39)은, 기저로서 패시베이션막 (28) 상에 돌출되도록 배치된 복수의 기저주 (Base post)들 (40)을 사용하여 형성된다 (도 11b 참조).

또한, 반사 전극 (41)이 그 요철층 (39) 상에 형성되고, 이 반사 전극 (41)이 요철층 (39)를 통과하는 콘택 스루홀 (35) 및 패시베이션막 (28)을 통과하는 콘택 스루홀 (23)을 경유하여 드레인 전극 (37)에 접속된다 (도 11b 참조).

각각, 스위칭 신호는 게이트 배선 (17)을 통해 a-Si TFT (16)의 게이트 전극 (26)에 입력되고, 화상 신호 전압은 데이터 배선 (18)을 통하여 a-Si TFT (16)의 소스 전극 (20)에 입력되며, 화상 신호 전압은 반사 전극 (41)에 기록된다.

도 12a - 12e는 박막 트랜지스터부용 도 10의 트랜지스터 기판의 제조 방법을 나타내는 공정도이다. 여기서, 패시베이션막 (28)을 형성하는 공정 (도 8a - 8e 참조)에 대한 설명은, 제 1 실시형태와 동일하므로, 생략한다.

제 3 패터닝에 의해 패시베이션막 (28)을 형성한 후에, 패시베이션막 (28) 상에 기저주들 (40)이 형성된다. 스펀 코트 방법에 의한 아크릴 수지등으로 이루어진 투명 감광성 레지스트의 도포, 노광, 현상 및 하소에 의해, 기저로서 기능하는 요철층 (39)이 형성된다.

감광성 레지스트를 형성한 후, 기저의 요철층 (39)보다 더 얇은 막으로 이로 이루어진 감광성 오버코트막이 도포되고, 포토리소그래피 공정에 의해 콘택 스루홀 (35)이 개방된다.

이러한 2중층 공정을 통해 요철층 (39)을 형성하는 제 4 패터닝이 수행된다 (도 12d 참조).

또한, 회색계의 마스크 등을 사용하여 요철층 (39)의 감광성 정도 및 콘택 스루홀 (35)의 노광 정도를 변화시킴으로써, 요철층 (39) 및 콘택 스루홀 (35)을 형성하는 단층 공정에 의해, 요철층 (39)을 형성하는 제 4 패터닝이 수행될 수 있다.

마지막으로, 알루미늄 (Al) 또는 은 (Ag) 스퍼터링 장치에 의해, 요철층 (39) 상에 반사 전극 (41)으로서 기능하는 반사막을 형성하는 제 5 패터닝이 수행된다 (도 12e 참조).

(제 3 실시형태)

도 13은 본 발명의 제 3 실시형태에 따른 액정 디스플레이 장치의 TFT 어레이의 평면도이다. 도 13은 단위 화소부를 나타낸다. 이 액정 디스플레이 장치는 반사형 능동 매트릭스 타입의 액정 디스플레이 장치이다.

도 13에 나타낸 바와 같이, 드레인 전극의 거의 1/2이 게이트 배선 (17)과 평행하게 배치된 스토리지 배선 (22)과 중첩하도록, 능동소자로서 a-Si TFT (16)는 L자형으로 형성된 드레인 전극 (21)을 구비한다. 또한, 요철층 (

39) 의 기저로서 기능하는 복수의 프리즘 형상의 기저주들 (42) 이 배치된다. 다른 형상 및 작용은 도 10에서 나타낸 TFT 기판과 유사하다.

도 14a 및 14b는 도 13의 각 부의 단면 구조를 나타내는 것으로서, 도 14a는 선 A-A를 따라 취한 단면도이고, 도 14b는 선 B-B를 따라 취한 단면도이다. 도 14a에 나타낸 바와 같이, 스토리지 캐패시터 전극 (34) 상에 콘택 스루홀 (23, 35) 이 배치된다.

패시베이션막 (28) 상에 돌출되어 배치된 기저주들 (4) 대신에, 게이트 절연막 (27), 반도체층 (19) 및 패시베이션막 (28) 을 적층함으로써 형성된 프리즘 형상의 기저주들 (42) 이 투명 절연 기판 (25) 상에 돌출되어 배치된다 (도 14b 참조).

이 기저주 (42) 상에 오버코트층을 배치하고, a-Si TFT (16) 등의 단차를 피복하는 것과 동시에, 기저로서 기저주들 (42) 을 이용하여 요철층 (39) 을 형성한다. 또한, 그 요철층 (39) 상에 반사 전극 (41) 을 형성하고, 요철층 (39) 을 통과하는 콘택 스루홀 (35) 및 패시베이션막 (28) 을 통과하는 콘택 스루홀 (23) 을 경유하여, 이 반사 전극 (41) 을 드레인 전극 (21) 에 접속한다 (도 14b 참조). 다른 형상은 도 11에서 나타낸 각 부의 단면 구조와 유사하다.

도 15a - 15e는 박막 트랜지스터부용 도 13의 트랜지스터 기판의 제조 방법을 나타내는 공정도이다.

여기서, 제 3 패터닝에서 a-Si TFT (16) 의 형성시에, 게이트 절연막 (27), 반도체층 (19) 및 패시베이션막 (28) 으로 이루어진 적층 구조를 구비하는 기저주 (42) 를 형성하고 (도 15c 참조), 제 4 패터닝에서 기저로서 이 기저주 (42) 를 사용하여 요철층 (39) 을 형성하는 것을 제외하고는, 이 제조 공정은, 도 12에서 나타낸 제조 공정과 유사하므로, 제조 공정의 설명을 생략한다.

이 제 3 실시형태에서 나타낸 제조 방법의 경우, 제 2 실시형태에서 나타낸 제조 방법의 경우보다, 공정 수가 더욱 감소될 수 있다.

(제 4 실시형태)

도 16은 본 발명의 제 4 실시형태에 따른 액정 디스플레이 장치의 TFT 기판의 평면도이다. 도 16은 단위 화소부를 나타낸다. 이 액정 디스플레이 장치는 TFT 상의 칼라필터 (Color filter on TFT, COT) 형 능동 매트릭스 타입의 액정 디스플레이 장치이다.

도 16에 나타낸 바와 같이, 드레인 전극 (21) 의 거의 1/2 이 게이트 배선 (17) 과 평행하게 배치된 스토리지 배선 (22) 과 중첩하도록, 능동소자로서 a-Si TFT (16) 는 L자형으로 형성된 드레인 전극 (21) 을 구비하며, 이는 도 6에서 나타낸 TFT 기판과 유사하다.

도 17a 및 17b는 도 16의 각 부의 단면 구조를 나타내는 것으로서, 도 17a는 선 A-A를 따라 취한 단면도이고, 도 17b는 선 B-B를 따라 취한 단면도이다. 도 17a에 나타낸 바와 같이, TFT 기판 (11) 및 대향 기판 (12) 은 한쌍의 대향 배치된 투명 유리 기판으로 이루어지며, 양 기판들 (11, 12) 사이의 간격은 액정층 (30) 으로 충전된다.

TFT 기판 (11) 의 투명 유리 기판 (투명 절연 기판) (25) 의 표면 상에, a-Si TFT (16), 화소 전극 (24), 차광막 (32), 칼라필터층 (36), 오버코트층 (평탄화층) (43) 및 각종 배선 (미도시) 등이 배치된다. 대향 기판 (12) 의 투명 유리 기판 (투명 절연 기판) (31) 의 대향 표면측 상에는 공통 전극 (33) 이 배치된다.

즉, 대향 기판 (12) 이 아니라 TFT 기판 (11) 내에 차광막 (32) 및 칼라필터층 (36) 이 형성된다. 다른 형상 및 작용은 도 7에서 나타낸 제 1 실시형태와 유사하다.

패시베이션막 (28) 상에 차광막 (32) 및 칼라필터층 (36) 의 일부가 형성되며, 차광막 (32) 및 칼라필터층 (36) 을

보호하기 위한 오버코트층 (43) 이 더 형성된다. 이 오버코트층 (43) 상에 화소 전극 (24) 으로서 기능하는 투명 전도막이 형성되고, 화소 전극 (24) 은 오버코트층 (43) 을 통과하는 콘택 스루홀 (35) 및 패시베이션막 (28) 을 통과하는 콘택 스루홀 (23) 을 경유하여, 드레인 전극 (21) 에 접속된다.

이 화소 전극 (24) 및 공통 전극 (33) 사이에 화상 신호 전압을 인가하고, 양 전극들 (24, 33) 사이의 액정층 (30) 의 전기 광학적 상태를 제어함으로써, 디스플레이 패널 (10) 의 광투과 상태가 변화하고, 소정의 이미지가 디스플레이 영역 (10a) 상에 표시된다.

통상의 포토리소그래피 공정에 의해 차광막 (32) 또는 칼라필터층 (36) 이 패터닝되어, TFT 기판 상에 형성되는 것을 제외하면, 제 4 실시형태에 따른 능동 매트릭스 기판의 제조 방법은 제 1 실시형태와 유사하므로, 그 설명은 생략한다.

상기와 같이, 본 발명에 따른 능동 매트릭스 타입의 액정 디스플레이 장치의 제조 방법에서는, 반도체층 (19) 의 패터닝과 소스 전극 (20) 을 형성한 후의 패시베이션막 (28) 의 패터닝을 동시에 수행하여, 데이터 배선 (18), 소스 전극 (20) 및 드레인 전극 (21) 의 하부에 반도체층 (19) 이 배치된 구성으로 형성한다.

여기서, a-Si TFT부, 즉 반도체층 (19) 의 하부에 게이트 전극 (26) 이 존재하는 영역 외에서, 반도체층 (19) 은 부동상태가 되고 제어를 행할 수 없어서, 반도체층 (19) 의 누설이 문제된다. 그 결과, 게이트 전극 (26) 이 존재하지 않는 영역에서 데이터 배선 (18) 및 드레인 전극 (21) 이 소스 전극 (20) 에 접속되는 구성에서는, 화소 전극 (24) 에 수용된 전하가 반도체층 (19) 의 누설로 인하여 유출되어, 상기 구성은 바람직하지 않다.

따라서, 게이트 전극 (26) 이 존재하지 않는 영역에서는, 소스 전극 (20) 하의 반도체층 (19) 이 데이터 배선 (18) 및 드레인 전극 (21) 하의 반도체층 (19) 과 분리되도록, 패시베이션막 (28) 의 패터닝이 수행된다.

또한, 게이트 배선 (17) 및 데이터 배선 (18) 에서의 단락을 방지하기 위해서, 데이터 배선, 드레인 및 소스 전극의 패턴 보다 반도체 패턴을 증가시킨다.

또한, 게이트 배선 (17) 상의 모든 게이트 절연막 (27), 반도체층 (19) 및 패시베이션막 (28) (a-Si TFT부 이외) 이 제거되며, 제거 후에는, 오버코트층에 의해 피복 및 보호를 수행한다. 이 오버코트층은, 평탄화 수행을 위한 TFT 기판의 단차를 피복하는 기능과 함께, 게이트 배선 (17) 을 보호하고, 반도체층 (19) 의 단부를 보호하여 a-Si TFT (16) 의 측상 누설을 억제하는 기능도 가진다.

따라서, 본 발명에 따라 투명 절연 기판 상에 게이트 전극을 형성한 후에, 게이트 절연막과 다시 반도체층을 전면 상에 형성하고, 그 위에서 드레인 전극을 패터닝하고, 그 위에 패시베이션막을 형성한 후, 트랜지스터 영역의 분리 및 콘택 스루홀의 형성을 동시에 수행한다.

즉, 패시베이션막, 아일랜드 및 콘택을 형성하는 포토리소그래피 공정을 1 공정으로 통합함으로써, 평탄화층 형성 공정 또는 칼라필터층 또는 오버코트층 형성 공정을 간소화할 수 있어, 제조 공정이 복잡해지지 않으며, 생산성 감소가 초래되지 않는다.

그러므로, 능동 매트릭스 기판 상에 유기 절연층을 배치함으로써 액정 디스플레이 장치의 성능을 개선할 수 있는 유기 층간분리형, TFT 상의 칼라필터 (COT) 형 또는 반사형 능동 매트릭스 타입의 액정 디스플레이 장치가 저비용 및 고생산성으로 제조될 수 있다.

발명의 효과

이상 설명한 바와 같이, 본 발명에 의하면, 투명 절연 기판 상에 게이트 전극, 게이트 절연막, 반도체층, 소스 전극, 드레인 전극 및 패시베이션막을 순차대로 적층함으로써 형성된 액정 디스플레이 장치용 트랜지스터 기판은, 소스 전극 하

의 반도체층이 데이터 배선 및 드레인 전극 하의 반도체층으로부터 이격된 구조를 가지기 때문에, 성능 개선을 위해 트랜지스터 기판 상에 유기 절연층을 배치하는 액정 디스플레이 장치를 더욱 간소한 공정 단계에 의해 제작할 수 있으며, 생산성을 개선할 수 있다.

또한, 본 발명에 따른 액정 디스플레이 장치용 트랜지스터 기판의 제조 방법에 의해, 상기 액정 디스플레이 장치용 트랜지스터 기판을 실현하는 것이 가능하다.

본 발명은, 상기 실시형태에 제한되지 않으며, 본 발명의 범위와 사상으로부터 이탈하지 않고 변형 및 변경될 수 있음은 자명하다.

(57) 청구의 범위

청구항 1. 매트릭스 형태로 배열된 복수의 화소들을 구비하는 액정 디스플레이 장치에 있어서,

상기 각 화소는 화소 전극이 형성되는 화소 전극 형성 영역, 및 상기 화소 전극에 접속되는 박막 트랜지스터가 형성되는 박막 트랜지스터 형성 영역을 포함하며,

상기 박막 트랜지스터는 채널로서 기능하는 반도체층, 상기 화소 전극에 접속되도록 형성된 단자, 상기 박막 트랜지스터를 피복하도록 형성된 패시베이션 층 및 상기 패시베이션층을 피복하는 유기 절연층을 포함하고,

상기 반도체층은 상기 채널로부터 상기 단자를 지나서 상기 화소 전극 형성 영역을 향하여 연장되고, 상기 화소 전극 형성 영역에서 종단되어, 상기 패시베이션층의 종단부와 정합 배치된 종단부를 형성하며,

상기 유기 절연층은 상기 반도체층 및 상기 패시베이션층의 상기 종단부들을 피복하기 위해 연장되는 것을 특징으로 하는 액정 디스플레이 장치.

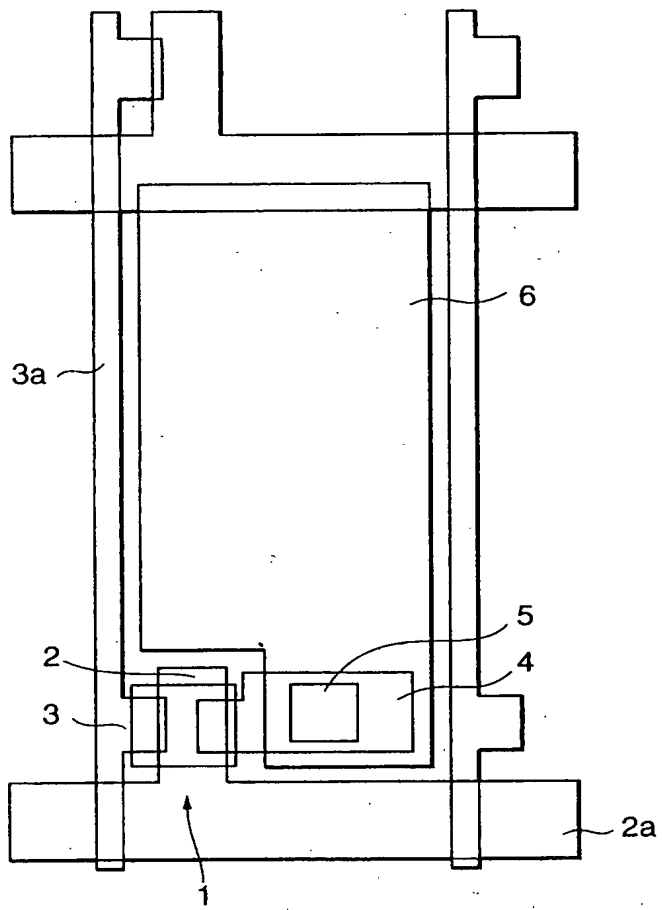
청구항 2. 제 1 항에 있어서,

상기 화소 전극은 상기 유기 절연층 및 상기 패시베이션층 내에 선택적으로 형성된 콘택홀을 통하여 상기 박막 트랜지스터의 상기 단자에 접속되는 것을 특징으로 하는 액정 디스플레이 장치.

도면

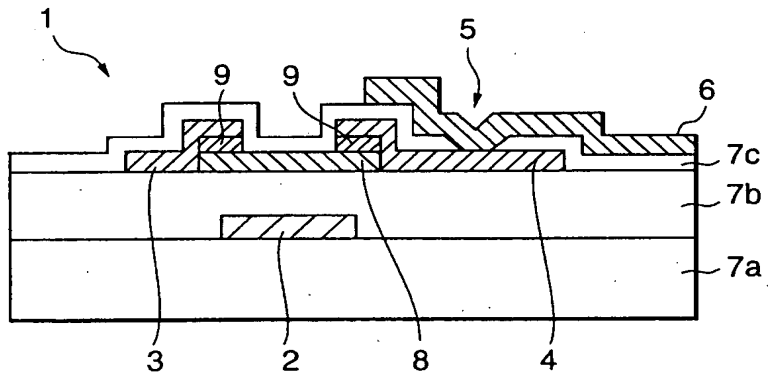
도면1

종래 기술



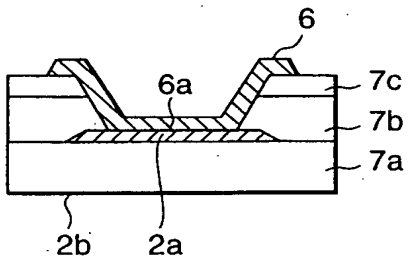
도면2

종래 기술



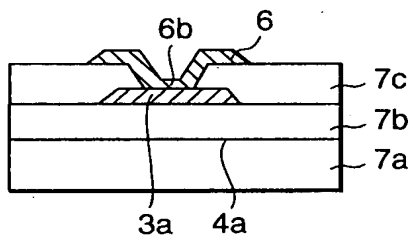
도면3a

종래 기술



도면3b

종래 기술



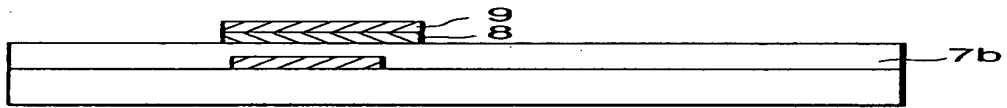
도면4a

종래 기술



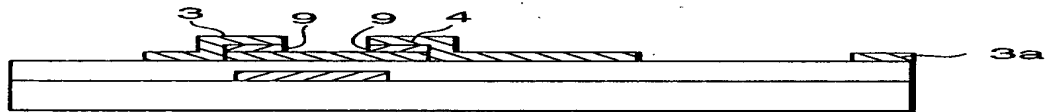
도면4b

종래 기술



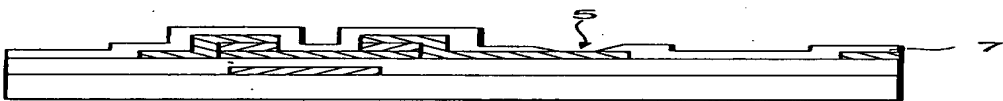
도면4c

종래 기술



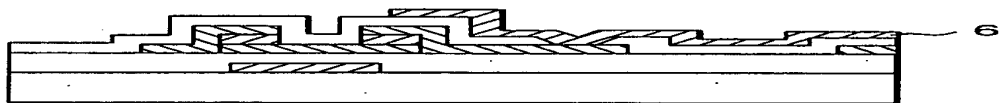
도면4d

종래 기술



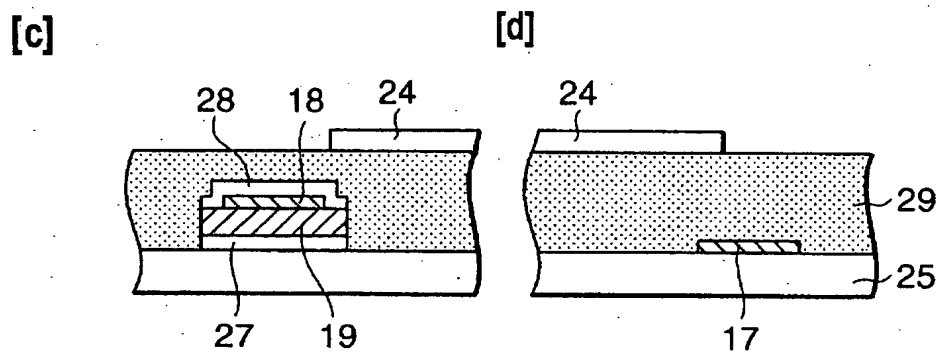
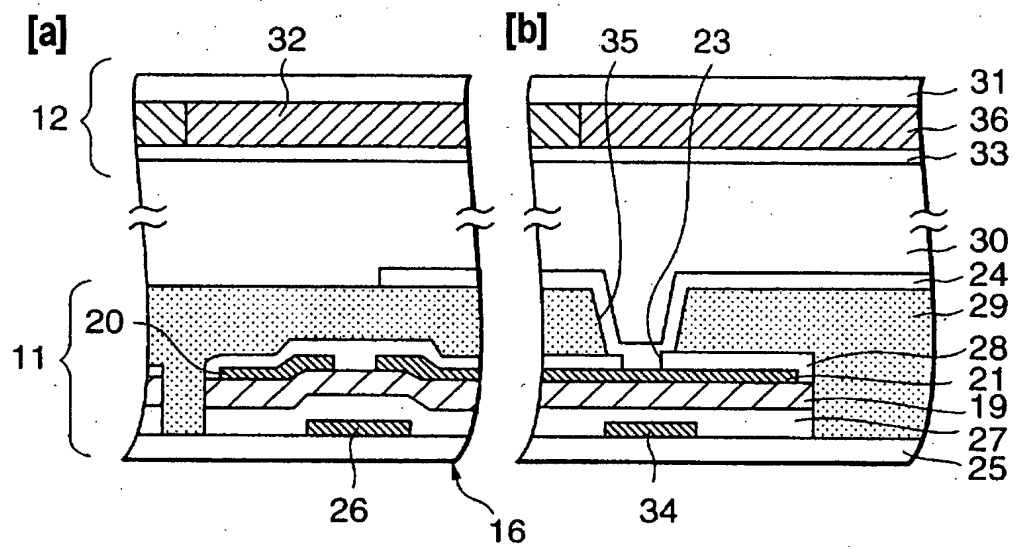
도면4e

종래 기술

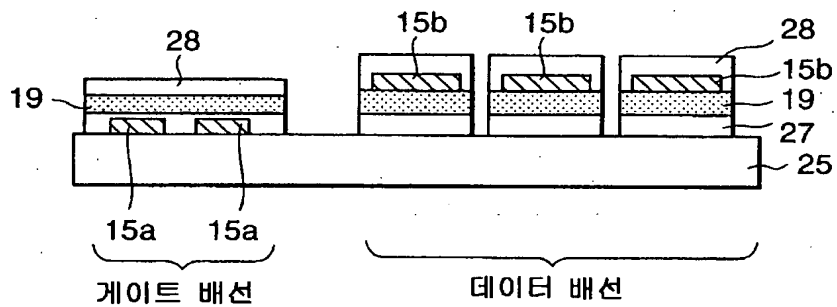


도면5

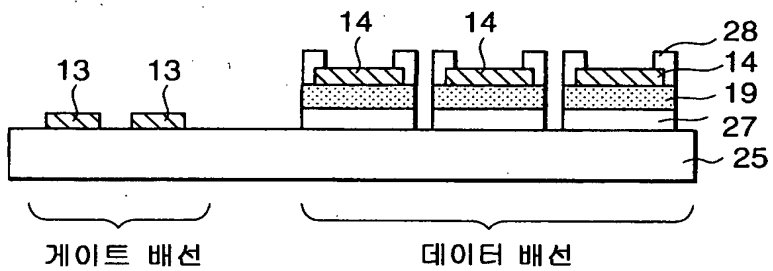




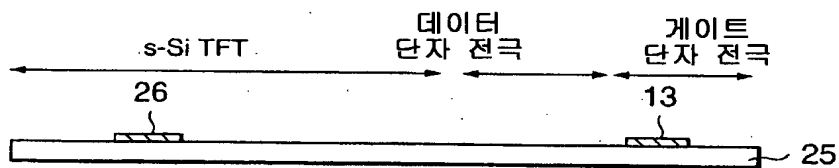
도면 8a



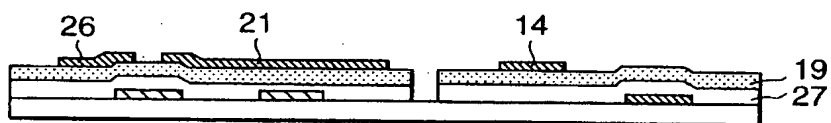
도면 8b



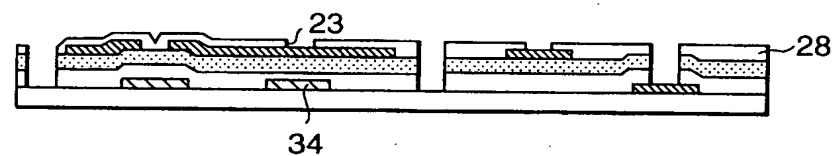
도면9a



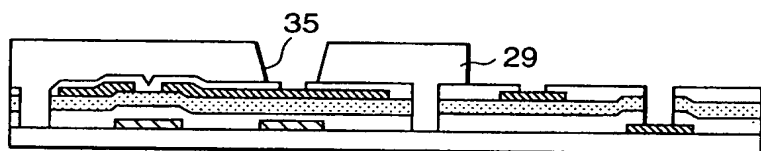
도면9b



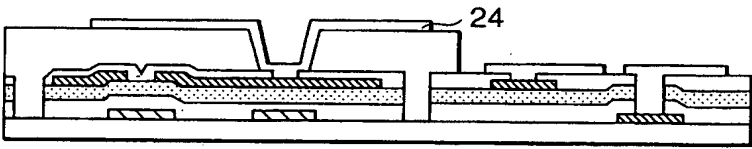
도면9c



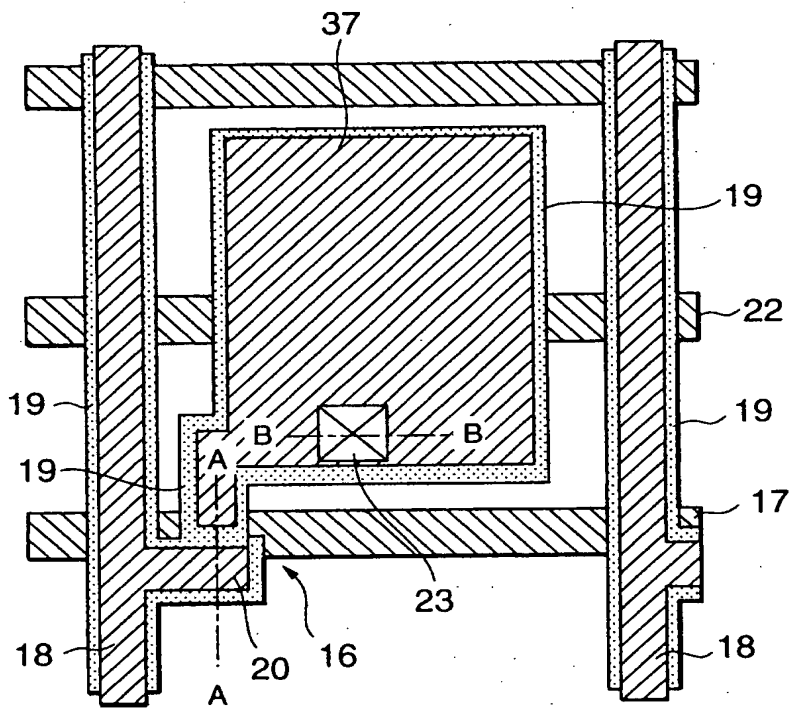
도면9d



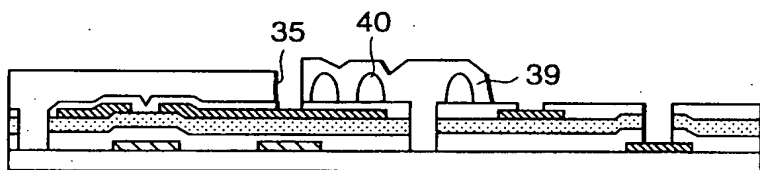
도면9e



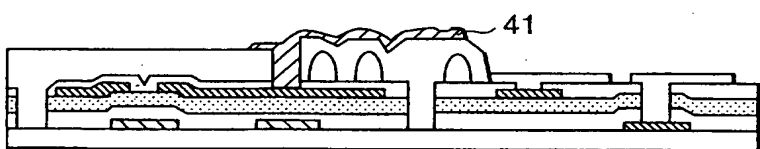
도면10



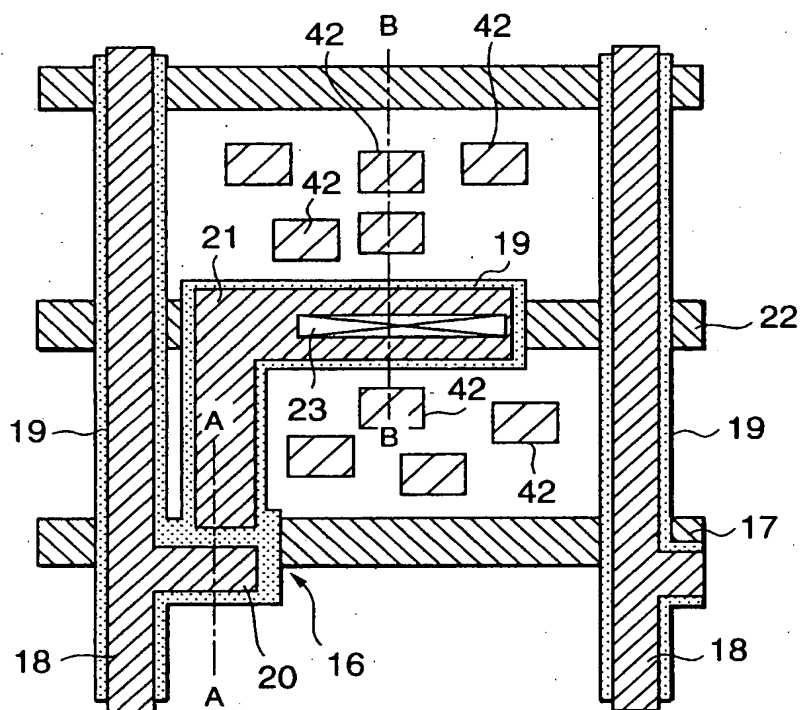
도면11



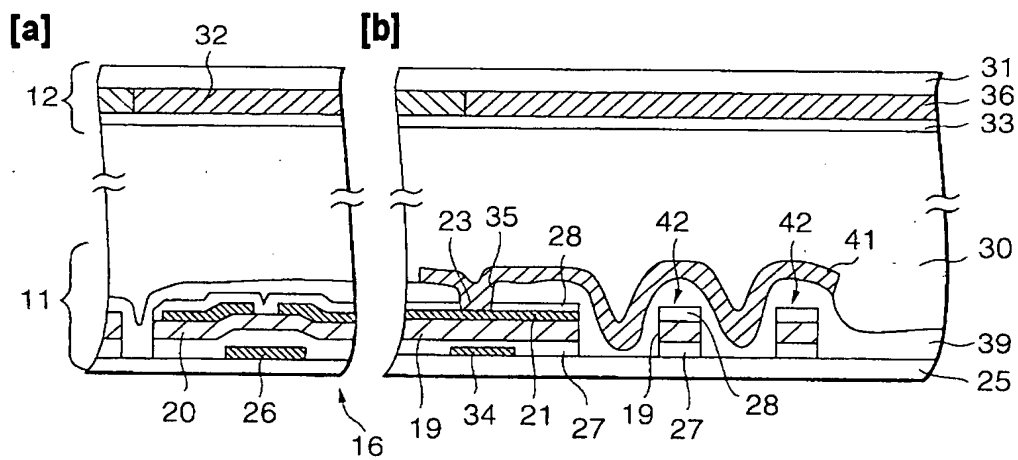
도면12e



도면13



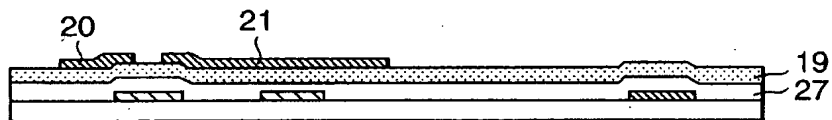
도면14



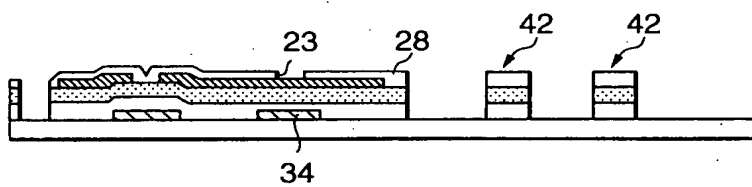
도면15a



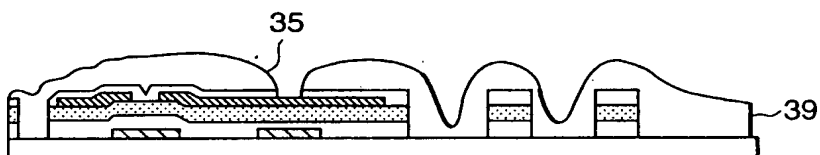
도면15b



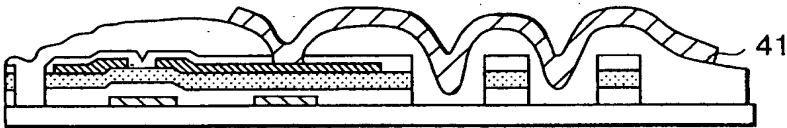
도면15c



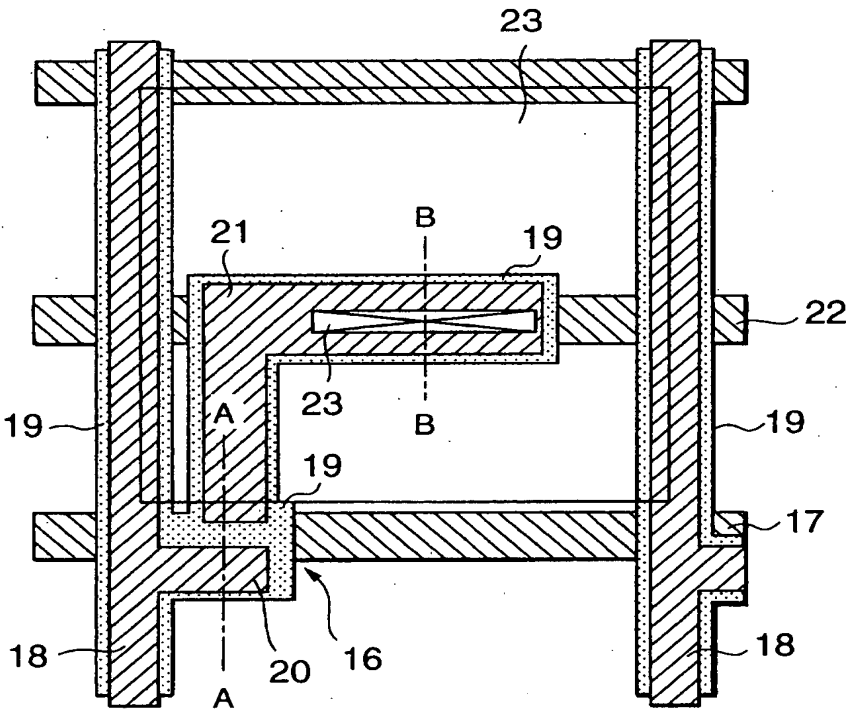
도면15d



도면15e



도면16



도면17

